

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208636

(43)Date of publication of application : 26.07.2002

(51)Int.Cl. H01L 21/768
H01L 21/28
H01L 21/304
H01L 21/8234
H01L 21/8242
H01L 21/8244
H01L 27/088
H01L 27/108
H01L 27/11

(21)Application number : 2001-336993

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 01.11.2001

(72)Inventor : PARK YOUNG-RAE
KIM JUNG-YUP
IN FUGEN
HAH SANG-ROK

(30)Priority

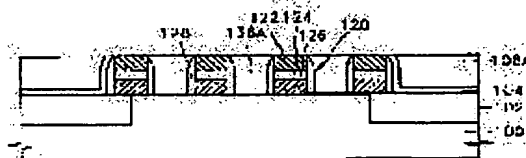
Priority number : 2000 200066828 Priority date : 10.11.2000 Priority country : KR

(54) METHOD OF FORMING CONTACT PAD OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming a contact pad of a semiconductor element which enables to suppress short-circuiting between a bit line and a gate by simplifying processes and thus suppressing the loss of an insulation film at the upper part of the gate, and to suppress void of the laminated inter-layer insulating film, after forming a gate configuration.

SOLUTION: A gate configuration/structure 120 that contains an insulating film at the upper part of the gate, a stop layer 104 and an interlayer insulating film 106 are formed on a semiconductor substrate for a CMP process. In the CMP process, the interlayer insulating film is planarized so that at least insulating film at the upper part of the gate 122 is exposed by using a slurry having a high polishing selective ratio of insulation film at the upper part of the gate 122 and interlayer insulating film 106, and the range in interlayer insulating film 106, where a contact pad 136A is formed, is etched. Then planarization is proceeded by using a slurry having a high polishing selective ratio of insulation film at the upper part of the gate 122 and a conductive material for contact pad 136A in the CMP process for vapor deposition of conductive materials for contact pads.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 √

特開2002-208636

(P2002-208636A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/28	L 4 M 1 0 4
21/28		21/304	6 2 2 X 5 F 0 3 3
21/304	6 2 2	21/90	C 5 F 0 4 8
21/8234		27/10	6 2 1 Z 5 F 0 8 3
21/8242			3 8 1
審査請求 未請求 請求項の数21 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2001-336993 (P2001-336993)

(22) 出願日 平成13年11月1日 (2001.11.1)

(31) 優先権主張番号 2 0 0 0 6 6 8 2 8

(32) 優先日 平成12年11月10日 (2000.11.10)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 榮來

大韓民国京畿道水原市八達区仁溪洞159番
地鮮京3次アパート302棟202号

(72) 発明者 金 政▲ユップ▼

大韓民国ソウル特別市瑞草区良才2洞384
- 1 番地

(74) 代理人 100064908

弁理士 志賀 正武 (外1名)

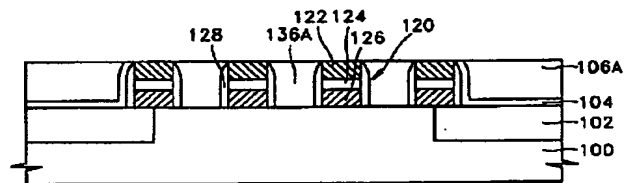
最終頁に続く

(54) 【発明の名称】 半導体素子のコンタクトパッドの形成方法

(57) 【要約】

【課題】 工程を単純化させ、ゲート上部絶縁膜の損失を抑制してビットラインとゲートとの短絡を抑制し、ゲート構造の形成後、積層される層間絶縁膜のボイド発生を抑制しうる半導体素子のコンタクトパッドの形成方法を提供する。

【解決手段】 半導体基板にゲート上部絶縁膜を含むゲート構造120と、停止層104及び層間絶縁膜106を形成し、行うCMP工程において、ゲート上部絶縁膜122と層間絶縁膜106との研磨選択比の高いスラリーを用いて少なくともゲート上部絶縁膜122が露出されるように層間絶縁膜を平坦化し、層間絶縁膜106にコンタクトパッド136Aが形成される領域をエッチングした後、コンタクトパッド用の導電物質を蒸着するCMP工程でゲート上部絶縁膜122とコンタクトパッド136A用の導電物質との研磨選択比の高いスラリーを用いて平坦化を進行する。



【特許請求の範囲】

【請求項 1】 半導体基板にゲート上部絶縁膜を含むゲート構造を形成する第 1 工程と、
前記ゲート構造が形成された半導体基板の全面に表面の段付きに沿って停止層をブランケット方式で形成する第 2 工程と、
前記停止層が形成された半導体基板の全面に層間絶縁膜を蒸着する第 3 工程と、
前記ゲート上部絶縁膜と前記層間絶縁膜を選択比の高い物質を用いて少なくとも前記ゲート上部絶縁膜が露出されるように前記層間絶縁膜を平坦化させる第 4 工程と、
前記半導体基板に写真及びエッチング工程を進行して前記半導体基板においてコンタクトパッドが形成される領域の層間絶縁膜をエッチングする第 5 工程と、
前記半導体基板にコンタクトパッド用の導電物質を前記半導体基板の全面を覆うように蒸着する第 6 工程と、
前記ゲート上部絶縁膜と前記コンタクトパッド用の導電物質とを選択比の高い物質を用いて平坦化を進行する第 7 工程とを具備することを特徴とする半導体素子のコンタクトパッドの形成方法。

【請求項 2】 前記ゲート上部絶縁膜は、SiN、Al₂O₃のうち選択された何れか 1 つを使用することを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 3】 前記ゲート上部絶縁膜は、厚さが 200 ± 500 Å であることを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 4】 前記停止層は SiN であることを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 5】 前記停止層は厚さが 100 ± 50 Å であることを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 6】 前記層間絶縁膜は、HDP 酸化膜、PE-TEOS、USG、BPSG、PSG、FOX 及びフォトレジストのようなポリマよりなる絶縁膜のうち選択された何れか 1 つを使用することを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 7】 前記第 3 工程の層間絶縁膜を蒸着した後、前記層間絶縁膜を化学機械的研磨やリフロー方式で平坦化する工程をさらに行うことを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 8】 前記第 4 工程の平坦化は、化学機械的研磨及びドライエッチングのうち選択された何れか 1 つの工程を用いて行うことを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 9】 前記化学機械的研磨は、前記ゲート上部絶縁膜と前記層間絶縁膜との研磨選択比が 1:5 ~ 1:50 であるスラリーを用いて進行することを特徴とする請求項 8 に記載の半導体素子のコンタクトパッドの形成方

法。

【請求項 10】 前記スラリーは、アルミナ、シリカ、セリア及び Mn₂O₃ のうち選択された何れか 1 つの研磨粉を含むことを特徴とする請求項 9 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 11】 前記第 4 工程後に前記平坦化が完了した半導体基板の全面にエッチング緩衝膜を形成する工程をさらに行うことを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

10 【請求項 12】 前記エッチング緩衝膜が形成された半導体基板の全面に反射防止膜を形成する工程をさらに行うことを特徴とする請求項 11 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 13】 前記エッチング緩衝膜は、前記第 7 工程のコンタクトパッド用の導電物質と同一な物質より形成することを特徴とする請求項 11 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 14】 前記エッチング緩衝膜は、厚さが 100 ~ 1000 Å であることを特徴とする請求項 11 に記載の半導体素子のコンタクトパッドの形成方法。

20 【請求項 15】 前記反射防止膜は、非晶質カーボン膜を使用することを特徴とする請求項 12 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 16】 前記第 5 工程の後、露出された形の停止層をエッチングする工程をさらに行うことを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 17】 前記コンタクトパッド用の導電物質は、ポリシリコン、Ti、TiN 及び W よりなる導電物質のうち選択された何れか 1 つであることを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 18】 前記第 7 工程の平坦化は、ドライエッチング及び化学機械的研磨工程のうち何れか 1 つの工程より進行することを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 19】 前記化学機械的研磨は、前記ゲート上部絶縁膜と前記コンタクトパッド用の導電物質との研磨選択比が 1:5 ~ 1:50 であるスラリーを用いて進行することを特徴とする請求項 18 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 20】 前記スラリーは、アルミナ、シリカ、セリア及び Mn₂O₃ のうち選択された何れか 1 つの研磨粉を含むことを特徴とする請求項 19 に記載の半導体素子のコンタクトパッドの形成方法。

【請求項 21】 前記半導体素子は、DRAM、SRAM 及び MDL のうち選択された何れか 1 つの半導体素子であることを特徴とする請求項 1 に記載の半導体素子のコンタクトパッドの形成方法。

【発明の詳細な説明】

50 【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に係り、特にコンタクトパッドの形成方法に関する。

【0002】

【従来の技術】半導体素子が高集積化されるほど大部分の半導体素子の製造工程において工程マージンは減少される。半導体素子のうち、DRAM及びSRAMのようなメモリの素子の製造工程においては、ビットラインとドレーンの電氣的連結、そしてキャパシタとソースの電氣的連結を容易にするためにコンタクトパッドという導電物質層を形成する。このようなコンタクトパッドの形成目的は、前記ビットラインとドレーンとの電氣的連結及びキャパシタとソースの電氣的連結においてコンタクトされる面積を最大限広げるためである。

【0003】図1ないし図4は、従来の技術による半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【0004】図1を参照すれば、素子分離膜12が形成された半導体基板10にゲート構造20を形成する。前記ゲート構造20は、ゲート電極26、シリサイド層24、ゲート上部絶縁膜22及びゲートスペーサ28よりなる。その後、停止層14を半導体基板の表面段付きに沿って形成し、層間絶縁膜16を半導体基板の全面を覆うように厚く蒸着する。引続き、前記層間絶縁膜16を化学機械的研磨(CMP:Chemical Mechanical Polishing)工程あるいはリフロー(reflow)工程で平坦化させる。この際、平坦化を進行する程度(CMP target)は前記ゲート上部絶縁膜22の上部の損傷を防止するために、ゲート上部絶縁膜22上で前記層間絶縁膜16が約1000Å以上(図面の“T1”)残るように平坦化を進行する。

【0005】図2を参照すれば、前記平坦化が完了した半導体基板の全面に反射防止膜18を覆い、前記反射防止膜18上にコンタクトパッドをエッチングするためのフォトレジストパターン30を形成する。

【0006】図3を参照すれば、前記フォトレジストパターン30をエッチングマスクとして下部の層間絶縁膜16Aを自己整列方式(SAC:Self Aligned Contact)でエッチングして除去することによってコンタクトパッドが形成される領域を形成する。この際、停止層14Aは自己整列方式のエッチングにおいてエッチング停止層(etching stopper)として活用され、前記活用が終わった後には露出された停止層14Aの一部は除去する。前記停止層14Aが除去された半導体基板の全面にコンタクトパッドが形成される領域32を充填しつつ半導体基板上を覆うコンタクトパッド用の導電物質34、例えばポリシリコンを蒸着する。次いで、後続する化学機械的平坦化(CMP)を容易に行うためにドライエッチングをさらに進行して前記蒸着されたコンタクトパッド用の導電物質34、反射防止膜パターン18A及び層間絶縁膜16Aを一定の厚さ(図面の“T2”)にエッチバックする。

【0007】図4を参照すれば、前記エッチバックが完

了した半導体基板の全面にCMP工程を進行してそれぞれのゲート構造20により分離された形状を有するコンタクトパッド34'を形成する。この際、停止層14B及びゲート上部絶縁膜22は前記CMP工程で前記層間絶縁膜16Bを研磨する間に研磨停止層の役割を行う。

【0008】しかし、前述した従来の技術による半導体素子のコンタクトパッドの形成方法は次のような問題点を有している。

【0009】第1、コンタクトパッド用の導電物質と層間絶縁膜とを一旦ドライエッチングでインサイチュ(in-situ)方式でエッチバックした後、再びCMP工程を進行するために全体工程が長くて複雑である問題がある。

【0010】第2、ゲート上部絶縁膜を形成し、コンタクトパッドを形成するためのCMP工程まで進行する間にゲート上部絶縁膜22が一部研磨やエッチングによって損失されるために工程マージンが低下される。一例として、ゲート上部絶縁膜の厚さを2300Åに形成する場合にコンタクトパッドを形成するためのCMP工程を進行すれば、ゲート上部絶縁膜の厚さが約800Åに薄くなり、さらに薄くは約350Åとなる。したがって、ゲート上部絶縁膜の消耗が激しい場合にはゲート構造のシリサイド層とコンタクトパッド用の導電物質とが短絡される問題、すなわちゲートとビットラインとが短絡されて半導体素子が動作しない深刻な問題が生じうる。

【0011】第3、前記ゲート上部絶縁膜の厚さ損傷を防止するためには、ゲート上部絶縁膜の厚さを厚く形成しなければならないが、これは前記層間絶縁膜16を厚くし、かつ厚い層間絶縁膜は層間絶縁膜内部にボイドのような工程不良を発生させる。

【0012】

【発明が解決しようとする課題】本発明が解決しようとする技術的課題は、コンタクトパッドの形成工程を単純化させつつゲート上部絶縁膜の損失を最小化し、層間絶縁膜を薄くしうる工程を実現することによって層間絶縁膜内のボイドの発生を抑制しうる半導体素子のコンタクトパッドの形成方法を提供するところにある。

【0013】

【課題を解決するための手段】前記技術的課題を達成するための本発明に係る半導体素子のコンタクトパッドの形成方法は、まず半導体基板にゲート上部絶縁膜を含むゲート構造を形成する。前記ゲート構造が形成された半導体基板の全面に表面の段付きに沿って停止層をブランケット方式で蒸着する。前記停止層が形成された半導体基板の全面に層間絶縁膜を厚く蒸着する。次いで、前記ゲート上部絶縁膜と前記層間絶縁膜とを選択比の高い物質を用いて前記ゲート上部絶縁膜まで前記層間絶縁膜を平坦化させる。前記平坦化が完了した半導体基板の全面にエッチング緩衝膜及び反射防止膜を形成する。引続き、前記反射防止膜が形成された半導体基板に写真及びエッチング工程を進行して前記半導体基板でコンタクト

パッドが形成される領域の層間絶縁膜をエッチングする。最後に、前記半導体基板にコンタクトパッド用の導電物質を前記半導体基板の全面を覆うように蒸着した後、前記ゲート上部絶縁膜と前記コンタクトパッド用の導電物質とを選択比の高い物質を用いて前記ゲート上部絶縁膜が露出されるように前記コンタクトパッド用の導電物質を一回で平坦化する。

【0014】本発明の望ましい実施形態によれば、前記ゲート上部絶縁膜はSiN、Al₂O₃のうち選択された何れか1つを用いて2000±500Åの厚さに形成することが望ましい。

【0015】望ましくは、前記層間絶縁膜を蒸着した後に前記層間絶縁膜をCMPやリフロー方式で平坦化する工程をさらにこなせる。

【0016】前記層間絶縁膜を平坦化する工程と、前記コンタクトパッド用の導電物質を平坦化する工程はCMP工程を用いて進行することが望ましく、前記CMP工程に使われるスラリーは、アルミナ、シリカ、セリア及びMn₂O₃のうち選択された何れか1つの研磨粉を含有することを望ましい。

【0017】また、本発明の望ましい実施形態によれば、前記エッチング緩衝膜は前記第7工程のコンタクトパッド用の導電物質と同じ物質より形成することが望ましく、厚さが約100～1000Åであることが望ましい。そして、前記反射防止膜は非晶質カーボン膜を使用することが望ましい。

【0018】本発明に係る半導体素子は、半導体素子内部にコンタクトパッドが形成される構造を有するものであって、DRAM、SRAM及びDRAM混合素子(MDL)のうち何れか1つであることが望ましい。

【0019】本発明の望ましい実施形態によれば、前記層間絶縁膜を平坦化し、前記コンタクトパッド用の導電物質を平坦化するCMP工程において、前記層間絶縁膜あるいはコンタクトパッド用の導電物質とゲート上部絶縁膜の研磨選択比は5:1～50:1であることが望ましい。

【0020】望ましくは、前記層間絶縁膜を平坦化させた後、前記コンタクトパッド用の導電物質と同一材質のエッチング緩衝膜を1000Å以下に形成する工程をさらに進行することである。

【0021】

【発明の実施の形態】以下、添付した図面に基いて本発明の望ましい実施形態を詳しく説明する。しかし、下記実施形態は本発明を限定するのではなく、当業者に本発明を完全に理解させるために提供されるのである。

【0022】本発明はその思想及び必須的な特徴を離脱せず、他の方式で実施しうる。例えば、下記実施形態においては反射防止膜が非晶質カーボン膜よりなるが、これは酸化窒化膜(SiON)のような有機反射防止膜であっても良い。または下記実施形態でゲート上部絶縁膜と層

間絶縁膜との高い研磨選択比を用いて前記層間絶縁膜を研磨するスラリーがセリア系(Ceria base)であるが、これはシリカ系、あるいはアルミナ及び酸化マンガンの研磨粉を含むスラリーに置換えられ、ゲート上部絶縁膜とコンタクトパッド用の導電物質との高い研磨選択比を用いて前記コンタクトパッド用の導電物質を研磨するスラリーシリカ系であるが、これもセリア系、あるいはアルミナ及び酸化マンガンの研磨粉を含むスラリーに置換えられる。したがって、下記望ましい実施形態において記載した内容は例示的なものに過ぎず、限定する意味ではない。

【0023】図5を参照すれば、素子分離膜102が形成された半導体基板100にゲート構造120を形成する。前記ゲート構造120は、ポリシリコン材質のゲート電極126、その上部にタングステンシリサイド(WSi_x)材質のシリサイド層124、前記シリサイド層124上に窒化膜あるいはAl₂O₃材質のゲート上部絶縁膜122及び前記ゲート電極126、シリサイド層124及びゲート上部絶縁膜122の側壁に形成された窒化膜材質のゲートスペーサ128で構成されることが望ましい。

【0024】前記ゲート上部絶縁膜122は2000±500Åの厚さに形成することが望ましく、本実施形態では約2300Åの厚さに形成する。次いで、前記ゲート構造120が形成された半導体基板の全面に停止層104、例えば窒化膜を前記半導体基板の表面段付きに沿ってブランケット方式で形成する。前記停止層104の厚さは100±50Åであることが望ましい。次いで、層間絶縁膜106、例えば高密度プラズマ酸化膜(HDP oxide)、SOG(Spin On Glass)、BPSG(Boron Phosphorus Silicate Glass)、PSG(Phosphorus Silicate Glass)、USG(Undoped Silicate Glass)、PE-TEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate)、FOX(Flowable Oxide)、フォトレジスター及びポリマのうち選択された何れか1つの絶縁膜を前記半導体基板上を十分に覆うように蒸着する。前記蒸着された層間絶縁膜106はリフロー方式で平坦化をさせることが望ましい。

【0025】引続き、前記層間絶縁膜106にCMP工程を進行する一方、前記ゲート上部絶縁膜122あるいは停止層104を研磨停止層として設定して平坦化を実施する。この際、前記層間絶縁膜106の厚さは従来の技術に比べて薄く形成しうる。その理由は後続するコンタクトパッド用の導電物質の平坦化工程で研磨停止層がゲート上部絶縁膜122となるからである。すなわち、従来の技術ではゲート上部絶縁膜122の損失を防止するために可能な限り層間絶縁膜106を厚く形成し、平坦化を進行する高さがゲート上部絶縁膜122や停止層104上の層間絶縁膜106の内部であったが、本発明では平坦化の進行方法が異なるために薄く形成しても良い。

【0026】前記平坦化を進行する方法は、前記層間絶

縁膜106とゲート上部絶縁膜122との研磨選択比が5:1乃至50:1程度の研磨粉が含まれたスラリーを用いて進行するか、前記層間絶縁膜106とゲート上部絶縁膜122とのエッチング選択比が5:1~50:1と高いドライエッチング方法で進行しう。すなわち、層間絶縁膜106を構成する膜質に対しては研磨選択比が高く、ゲート上部絶縁膜122を構成する窒化膜に対してエッチング選択比あるいは研磨選択比が低い物質を用いて平坦化工程を進行する。前記層間絶縁膜106とゲート上部絶縁膜122との研磨選択比が5:1乃至50:1程度の研磨粉が含まれたスラリーはアルミナ、シリカ、セリア及びMn₂O₃のうち選択された何れか1つの研磨粉を含むものを使用できるが、本実施形態ではセリア系のスラリーを使用する。

【0027】図6を参照すれば、前記平坦化が完了した半導体基板の全面にコンタクトパッド用の導電物質と同じ材質の物質、例えば、ポリシリコン膜を用いてエッチング緩衝膜130を1000Å以下の厚さに形成する。前記エッチング緩衝膜130は後続するコンタクトパッドの形成のための平坦化工程で研磨緩衝作用を行うと同時に一回(onestep)のCMP工程でコンタクトパッドを形成可能にする役割をする。もし、過度に厚くなるとCMP時間を延ばすために、厚さは1000Å未満に形成するのが望ましい。すなわち、従来の技術では前記CMP工程は、ドライエッチングを通じたエッチバック工程とCMP工程との2段階よりなるが、本発明では前記エッチング緩衝膜130を使用することによってコンタクトパッドの形成のためのCMP工程を1段階に減らせる。

【0028】その後、前記エッチング緩衝膜130上に反射防止膜132を形成し、コンタクトパッドが形成される領域をエッチングするためのフォトレジストパターン134を形成する。前記反射防止膜132は非晶質カーボン膜を使用するのが望ましいが、これは非晶質カーボン膜が安価で、反射防止膜がフォトレジストパターンと共に除去されるために別の反射防止膜132の除去工程が不要であるからである。

【0029】図7を参照すれば、前記フォトレジストパターン134をエッチングマスクとして用いて自己整列方式(SAC)のエッチングを進行してコンタクトパッドが形成される領域108の層間絶縁膜106の一部をドライエッチング方式として除去する。引続き、前記ドライエッチングによってコンタクトパッドが形成される領域に露出された停止層104の一部を除去する。前記工程で前記反射防止膜はフォトレジストパターン134を除去する間に共に除去される。

【0030】前記コンタクトパッドが形成される領域108がエッチングされた半導体基板の全面にコンタクトパッド用の導電物質136、例えばポリシリコンを半導体基板上を十分に覆うように積層する。前記コンタクトパッド用の導電物質136は、ポリシリコン、チタン、

窒化チタン及びタングステンのうち何れか1つの物質を用いて形成できるが、本実施形態では不純物が含まれたポリシリコンを使用する。

【0031】この際、従来の技術では、後続するCMP工程でゲート上部絶縁膜122が研磨されて消耗されることを最小化し、CMPの均一度(uniformity)を改善するために、先にドライエッチングを進行してコンタクトパッド用の導電物質136と若干の層間絶縁膜をエッチバックした。しかし、本発明ではこのような工程を行わない。

【0032】図8を参照すれば、前記コンタクトパッド用の導電物質136が蒸着された半導体基板にコンタクトパッドの形成のための平坦化工程を進行してゲート構造120により分離された形状を有するコンタクトパッド136Aを各々形成する。

【0033】この際、前記平坦化を進行する方法がCMP工程である場合、前記ゲート上部絶縁膜122とコンタクトパッド用の導電物質のポリシリコンに対して研磨選択比が1:5乃至1:50である高い研磨選択比を有するスラリーを使用する。前記スラリーはスラリー中に含まれた研磨粉としてアルミナ、シリカ、セリア、Mn₂O₃などが含まれたものを使用できるが、本実施形態ではシリカ成分の研磨粉が含まれたスラリーを使用すれば一回のCMP工程で分離された形状を有するコンタクトパッドデイスシング(Dishing)が生じなく、容易に平坦化を達成しう。

【0034】したがって、前述したエッチング緩衝膜130の追加及びゲート上部絶縁膜122に対して研磨選択比の高いスラリーを平坦化工程に使用することによって、コンタクトパッド用の導電物質蒸着後に進行するドライエッチングを略し、コンタクトパッドの形成のためのCMP工程を2段階から1段階に減らせ、前記ゲート上部絶縁膜122の上部が研磨されたり、エッチングされて損失されることを抑制しう。

【0035】前記平坦化工程はCMP工程でなくてもドライエッチングを通じて実現しう。すなわち、ゲート上部絶縁膜122とコンタクトパッド用の導電物質136とのエッチング選択比が1:5乃至1:50の範囲に確保される条件でドライエッチングを用いて進行しても良い。そして、本発明に係る半導体素子のコンタクトパッドの形成方法はゲートパターンとコンタクトパッドとが半導体素子内に形成されるDRAM、SRAM及びDRAM混合素子(MDL:Merged DRAM Logic Device)に適用しう。

【0036】図9は本発明によって半導体素子のコンタクトパッドを形成した時、ゲート上部絶縁膜の消耗程度を説明するために示したグラフである。

【0037】図9を参照すれば、ゲート上部絶縁膜を2300Åに形成した後、コンタクトパッド用の導電物質を平坦化してから測定したゲート上部絶縁膜の厚さを示す。グラフでX軸は層間絶縁膜の厚さであり、Y軸はゲ

10

20

30

40

50

ト上部絶縁膜である窒化膜の残っている厚さを示す。

【0038】グラフにおいて、「■」で表される部分は図5ないし図8のように本発明の実施形態によって半導体素子のコンタクトパッドを形成した後に測定したゲート上部絶縁膜の厚さを示し、「●」で表される部分は従来の技術と同様に図1ないし図4の工程によって半導体素子のコンタクトパッドを製造し、測定したゲート上部絶縁膜の厚さを示す。

【0039】全体的に、本発明によって半導体素子のコンタクトパッドを形成した場合(「■」で表される部分)が従来の技術によって半導体素子のコンタクトパッドを形成した場合(「●」で表される部分)より約500Å程度ゲート上部絶縁膜が少なく消耗されたことを確認する。

【0040】前記結果から次の事実を類推しうる。第1、ゲート上部絶縁膜の消耗を減らせるためにゲートとビットラインとの短絡を予防し、工程マージンを改善しうる。第2、ゲート上部絶縁膜の消耗が少ないために全体的なゲート構造(図5の120)を低め、これにより層間絶縁膜も低められるために層間絶縁膜内のボイド発生を抑制しうる。

【0041】

【発明の効果】したがって、前記本発明によれば、第1、コンタクトパッド用の導電物質を蒸着した後に進行していたドライエッチング工程を省略し、コンタクトパッドの形成のためのCMP工程の段階を2段階から1段階に減らして工程を単純化させうる。

【0042】第2、層間絶縁膜を平坦化する工程と、コンタクトパッドの形成のための平坦化工程でゲート上部絶縁膜の厚さ損失を抑制できるのでゲートとビットラインの短絡を防止し、工程マージンを改善しうる。

【0043】第3、層間絶縁膜の厚さを減らせるので層間絶縁膜の内部からのボイドの発生を抑制しうる。

【0044】第4、コンタクトパッドの形成のための平坦化工程でコンタクトパッドの表面に発生するディッシングを防止しうる。

【0045】本発明は前記一実施形態に限定されず、本発明が属する技術的思想内で当業者により多くの変形が

可能であることは明白である。

【図面の簡単な説明】

【図1】 従来の技術による半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図2】 従来の技術による半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図3】 従来の技術による半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図4】 従来の技術による半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図5】 本発明に係る半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図6】 本発明に係る半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図7】 本発明に係る半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図8】 本発明に係る半導体素子のコンタクトパッドの形成方法を説明するために示す断面図である。

【図9】 本発明によって半導体素子のコンタクトパッドを形成した時、ゲート上部絶縁膜の消耗程度を説明するために示すグラフである。

【符号の説明】

100 半導体基板

102 素子分離膜

104 停止層

106 層間絶縁膜

108 コンタクトパッド形成領域

120 ゲート構造

122 ゲート上部絶縁膜

124 ゲートシリサイド

126 ゲート電極

128 ゲートスペーサ

130 エッチング緩衝膜

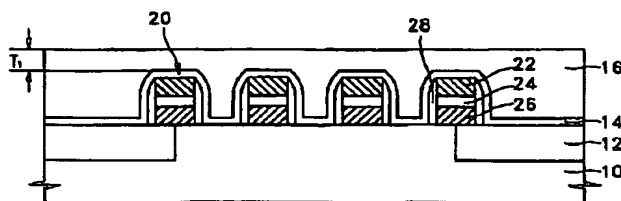
132 反射防止膜

134 フォトリソパターン

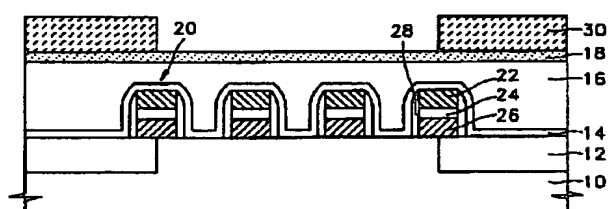
136 コンタクトパッド用の導電物質

136A コンタクトパッド

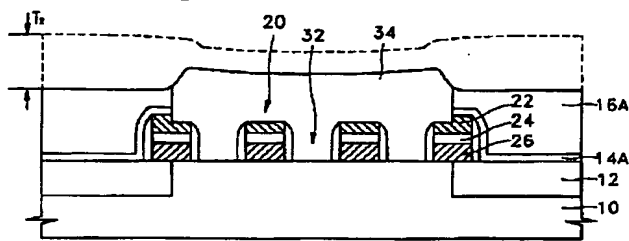
【図1】



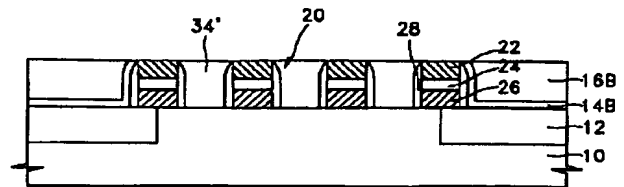
【図2】



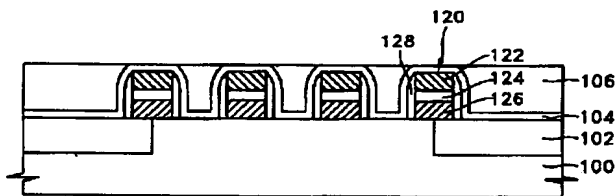
【図3】



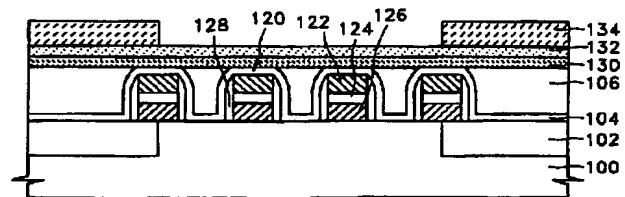
【図4】



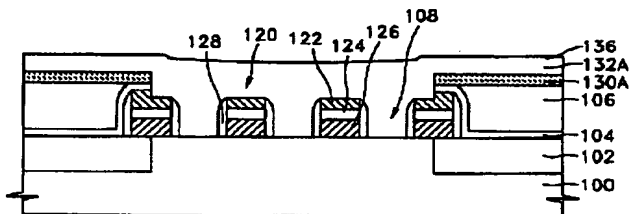
【図5】



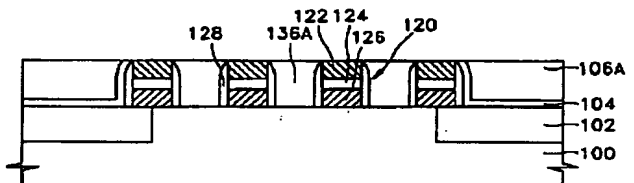
【図6】



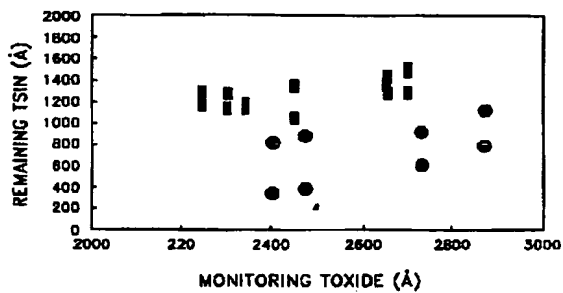
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. ⁷

H01L 21/8244
27/088
27/108
27/11

識別記号

F I

H01L 27/08

テーマコード* (参考)

102D

(72)発明者	尹 普彦	F ターム(参考)	4M104	BB01	BB14	BB18	BB30	BB39
	大韓民国ソウル特別市永登浦区汝矣島洞41			DD02	DD08	DD16	DD19	DD65
	番地大橋アパート 2 棟702号			DD72	DD75	EE05	EE09	EE16
(72)発明者	河 商録			EE17	FF14	GG09	GG16	HH20
	大韓民国ソウル特別市江南区新沙洞565-		5F033	HH04	HH28	JJ04	JJ18	JJ19
	19番地韓州ビル 5 階			JJ33	KK01	MM07	NN31	QQ04
				QQ09	QQ11	QQ25	QQ48	QQ50
				QQ74	QQ75	RR03	RR04	RR06
				RR09	RR14	RR15	SS04	TT08
				VV06	VV16	WW00	WW02	XX01
				XX31	XX33			
			5F048	AA09	AB01	AC01	BA01	BB05
				BB08	BF03	BF07	BF16	BG13
				DA27				
			5F083	AD21	JA35	JA39	JA40	JA53
				JA56	MA02	MA17	MA20	PR06
				PR29	PR39	PR40		